



Е. П. Угрюмов

Цифровая схемотехника

3-е издание

- ИС всех уровней интеграции: от логических элементов до БИС/СБИС с программируемыми структурами, включая системы на кристалле
- Принципы построения цифровых узлов и устройств и их практическая реализация
- Современные методы проектирования цифровых средств обработки информации



bhv®



Угрюмов Е. П.

Цифровая схемотехника

3-е издание

*Рекомендовано Учебно-методическим объединением вузов РФ
по университетскому политехническому образованию в качестве
учебного пособия для студентов высших учебных
заведений, обучающихся по направлению подготовки 230100
«Информатика и вычислительная техника»*

Санкт-Петербург
«БХВ-Петербург»
2010

УДК 681.3.06
ББК 32.973.26-04я73
У27

Угрюмов Е. П.

У27 Цифровая схемотехника: учеб. пособие для вузов. — 3-е изд., перераб. и доп. — СПб.: БХВ-Петербург, 2010. — 816 с.: ил.
ISBN 978-5-9775-0162-0

Рассматриваются цифровые и аналоговые компоненты и структуры электронных систем обработки информации, являющиеся базой для создания разнообразной аппаратуры как в области вычислительной техники, так и в смежных областях: цифровой автоматике, измерительной технике, телекоммуникациях и т. д. Диапазон изучаемых вопросов — от уровня логических элементов до уровня простых микропроцессорных систем, в том числе систем на кристалле. Рассмотрены принципы и методика проектирования устройств обработки информации, в том числе с применением языка VHDL и его расширения VHDL-AMS, рассчитанного на разработку схем со смешанными сигналами.

В третьем, значительно обновленном, издании отражены новые достижения в области схемотехники, введены контрольные вопросы и задачи.

Для студентов технических вузов, аспирантов, инженеров и научных сотрудников, работающих в области создания цифровой аппаратуры

УДК 681.3.06
ББК 32.973.26-04я73

Рецензенты:

*А. И. Водяхо, д. ф.-м. н., проф. кафедры вычислительной техники Санкт-Петербургского государственного электротехнического университета «ЛЭТИ»,
Кафедра автоматики и вычислительной техники Санкт-Петербургского государственного политехнического университета (завкафедрой д. т. н., проф. В. Ф. Мелехин),
С. Р. Иванов, к. т. н., доцент Московского технического университета им. Н. Э. Баумана*

Группа подготовки издания:

Главный редактор	<i>Екатерина Кондукова</i>
Зам. главного редактора	<i>Татьяна Лапина</i>
Зав. редакцией	<i>Григорий Добин</i>
Редактор	<i>Юрий Рожко</i>
Компьютерная верстка	<i>Натальи Смирновой</i>
Корректор	<i>Виктория Пиотровская</i>
Дизайн серии	<i>Инны Тачиной</i>
Оформление обложки	<i>Елены Беляевой</i>
Фото	<i>Кирилла Сергеева</i>
Зав. производством	<i>Николай Тверских</i>

Лицензия ИД № 02429 от 24.07.00. Подписано в печать 30.04.10.

Формат 70×100¹/₁₆. Печать офсетная. Усл. печ. л. 65,79.

Тираж 2000 экз. Заказ №

"БХВ-Петербург", 190005, Санкт-Петербург, Измайловский пр., 29.

Санитарно-эпидемиологическое заключение на продукцию № 77.99.60.953.Д.005770.05.09 от 26.05.2009 г. выдано Федеральной службой по надзору в сфере защиты прав потребителей и благополучия человека.

Отпечатано с готовых диапозитивов
в ГУП "Типография "Наука"
199034, Санкт-Петербург, 9 линия, 12

ISBN 978-5-9775-0162-0

© Угрюмов Е. П., 2010

© Оформление, издательство "БХВ-Петербург", 2010

Оглавление

ПРЕДИСЛОВИЕ	1
ВВЕДЕНИЕ.....	3
ГЛАВА 1. СХЕМОТЕХНИЧЕСКИЕ ПРОБЛЕМЫ ПОСТРОЕНИЯ ЦИФРОВЫХ УСТРОЙСТВ	7
§ 1.1. Модели и параметры логических элементов	7
Простейшая модель логического элемента	7
Сигналы, отображающие логические переменные	8
Учет задержек сигналов в логических схемах	9
Статические параметры логических элементов.....	10
Уровни напряжений и статическая помехоустойчивость логических элементов	10
Токовые параметры.....	11
Быстродействие цифровых элементов.....	12
Мощности потребления цифровых элементов	13
§ 1.2. Типы выходов цифровых элементов	15
Логический выход.....	16
Выходы с тремя состояниями	17
Открытые выходы.....	19
Программируемый выход	22
§ 1.3. Схемные особенности выводов КМОП-элементов	23
Pull-up- и Pull-down-резисторы.....	23
Выводы с запоминанием последнего значения сигнала	25
§ 1.4. Паразитные связи по цепям питания.	
Фильтрация питающих напряжений	26
Качество заземления.....	28
Фильтрация напряжений питания	29
§ 1.5. Передача сигналов. Помехи в сигнальных линиях.	
Сигнальные линии повышенного качества.....	30
Перекрестные помехи и электромагнитные наводки	30
Искажения сигналов в несогласованных линиях	31
Параллельное согласование волновых сопротивлений	33
Последовательное согласование волновых сопротивлений	37
Согласование волновых сопротивлений в конце и начале линии	38

Линии передачи сигналов	38
Линии связи с гальваническими развязками	41
Линии типа "токовая петля"	42
Стандарты сигналов ввода/вывода данных	42
Терминирование на кристалле	47
Банки ввода/вывода	47
Передача данных с двойной скоростью (технология DDR)	48
О разрядностях высокоскоростных шин	49
§ 1.7. Элементы задержки, формирования, обнаружения и генерации импульсов	51
Элементы задержки	51
Формирование импульсов по длительности	54
Разностные преобразователи и детекторы событий	54
Кольцевые генераторы	56
§ 1.8. Элементы визуальной индикации	57
Элементы индикации на светодиодах	57
Индикаторы на жидких кристаллах	59
§ 1.9. О некоторых типовых ситуациях	62
Режимы неиспользуемых входов	62
Согласование уровней сигналов при сопряжении разнотипных элементов	63
Режимы неиспользуемых элементов	65
Наращивание числа входов	65
Снижение нагрузок на выходах логических элементов	65
§ 1.10. Прошлое и настоящее малых и средних интегральных схем. Логические примитивы в системах автоматизированного проектирования	66
Контрольные вопросы и упражнения	69
Глава 2. Функциональные узлы комбинационного типа	73
§ 2.1. Проблематика проектирования комбинационных схем	73
Комбинационные цепи и автоматы с памятью	73
Риски сбоя	74
Сигналы синхронизации	75
Распространение сигналов в комбинационных цепях	76
Этапы разработки и средства реализации комбинационных цепей	77
Логические блоки табличного типа	78
Логические блоки с матрицами И и ИЛИ	79
Блоки на основе типовых логических элементов	79
§ 2.2. Двоичные дешифраторы	81
Схемотехническая реализация дешифраторов	83
Пример применения дешифратора	84
Воспроизведение логических функций	86

§ 2.3. Приоритетные и двоичные шифраторы. Указатели старшей единицы	87
§ 2.4. Мультиплексоры и демультиплексоры	91
Мультиплексоры	91
Мультиплексоры в КМОП-схемотехнике	92
Многоразрядные мультиплексоры	94
Наращивание размерности мультиплексоров	95
Демультиплексоры	95
Мультиплексоры и демультиплексоры в системах коммутации	97
§ 2.5. Универсальные логические модули на основе мультиплексоров	98
Первый способ настройки УЛМ	98
Второй способ настройки УЛМ	99
Структуры УЛМ, содержащие несколько мультиплексоров	101
§ 2.6. Компараторы	102
Сравнение на равенство	103
Сравнение на "больше"	104
Пример реализации компаратора	104
§ 2.7. Схемы контроля	105
Цели и задачи контроля	106
Мажоритарные элементы	106
Контроль по модулю 2	108
Схемы свертки	109
Передача данных с контролем по модулю 2	111
Контроль логического преобразователя	111
Контроль с использованием кодов Хемминга	112
Схемы кодера и декодера для кода Хемминга	115
§ 2.8. Сумматоры	116
Одноразрядный сумматор	116
Сумматор для последовательных операндов	119
Сумматор параллельных операндов с последовательным переносом	120
Сумматор с передачей сигнала переноса по цепочке замкнутых ключей	121
Сумматор параллельных операндов с параллельным переносом	123
Сумматоры групповой структуры	126
Сумматор с условным переносом	128
Микросхемы сумматоров	129
§ 2.9. Арифметико-логические устройства и блоки ускоренного переноса	130
§ 2.10. Матричные умножители	132
Множительно-суммирующие блоки	133
Наращивание размерности матричных умножителей	134
Схемы ускоренного умножения	136
Учет знаков сомножителей	139

§ 2.11. Быстрые сдвигатели	139
Сдвигатель, управляемый кодом "1 из N"	139
Сдвигатель, управляемый двоичным кодом	141
Контрольные вопросы и упражнения	142

ГЛАВА 3. ТРИГГЕРЫ. ТАКТИРОВАНИЕ И СИНХРОНИЗАЦИЯ В ЦИФРОВЫХ УСТРОЙСТВАХ145

§ 3.1. Триггеры. Основные сведения. Внешнее поведение	145
Бистабильная ячейка.....	145
Простейший триггер	146
Классификация триггеров.....	147
Классификация триггеров по логическому функционированию	148
Классификация триггеров по способу приема информации.....	149
Тактирование уровнем. Режим прозрачности. Круговые гонки	152
Времена предустановки и выдержки	153
Метастабильные состояния триггеров.....	154
Способы описания триггеров	155
§ 3.2. Схемотехника триггерных устройств	158
Триггеры в биполярной схемотехнике	158
Простые RS-триггеры и защелки.....	158
Логические структуры триггеров Т и JK	159
Двухступенчатые триггеры	161
Одноступенчатые триггеры, управляемые фронтом	163
Входы установки/сброса и разрешения тактирования	164
Триггеры в схемотехнике КМОП.....	165
Триггер-защелка.....	165
Двухступенчатый триггер.....	167
Примеры стандартных триггеров. Примитивы триггеров в системах автоматизированного проектирования цифровых устройств	167
§ 3.3. Примеры использования триггеров	170
Ввод логических сигналов от механических ключей	170
Синхронизаторы	172
Арбитры	173
§ 3.4. Тактирование и синхронизация. Общие сведения	175
Тактирование процессов	175
Системы с передачей в приемник тактовых сигналов	176
Выработка тактовых сигналов в приемнике данных.....	177
Синхронизация сигналов	177
§ 3.5. Тактирование сигналами, выработанными генератором.....	178
Общие сведения. Возможные решения	178
Концепции тактирования	178
Фазность тактирования.....	179

Разомкнутые и замкнутые системы тактирования.....	179
Медленные и быстрые сдвиги фаз ТИ.....	180
Обобщенный тракт обработки данных.....	180
Параметры тактовых импульсов.....	181
Длительности импульса и паузы.....	181
Стабильность частоты.....	182
Крутизна фронтов.....	182
§ 3.6. Структура и элементы систем тактирования.....	183
Структура системы тактирования.....	183
Кварцевые генераторы.....	184
Вторичные тактовые сигналы.....	187
Размножение тактовых импульсов.....	189
§ 3.7. Однофазное и двухфазное тактирование.....	190
Однофазное тактирование.....	190
Двухфазное тактирование.....	194
Многофазное тактирование.....	197
§ 3.8. Блоки PLL, DLL и DCM.....	197
Блоки PLL.....	198
Блоки DLL.....	200
Блоки DCM.....	201
§ 3.9. Тактирование сигналами, выработанными в приемниках информации.....	202
Выработка тактовых сигналов без передачи эталонов.....	202
Выработка тактовых сигналов с передачей эталона.....	204
О самосинхронизирующихся схемах.....	204
§ 3.10. Ввод внешних сигналов в синхронные устройства.	
Синхронизаторы.....	205
Ввод асинхронных сигналов.....	205
Синхронные, асинхронные и "полусинхронные" сигналы.....	206
Синхронизаторы мезохронных сигналов.....	207
Синхронизаторы с элементами задержек.....	207
Синхронизаторы с двумя регистрами.....	209
Синхронизатор с круговым буфером.....	210
Синхронизаторы плезиохронных сигналов.....	212
Контрольные вопросы и упражнения.....	212

ГЛАВА 4. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ ПОСЛЕДОВАТЕЛЬНОСТНОГО ТИПА (АВТОМАТЫ С ПАМЯТЬЮ).....217

§ 4.1. Введение в проблематику проектирования автоматов с памятью.....	217
О проектировании автоматов.....	219
Примеры проектирования.....	222
Вариант 1.....	223
Автомат, построенный на триггерах D и элементах И-НЕ.....	223

Вариант 2.....	224
Автомат, построенный на JK-триггерах и элементах И-НЕ	224
Вариант 3.....	225
Автомат, реализованный на D-триггерах и мультиплексорах.....	225
Вариант 4.....	227
Автомат с состояниями, кодируемыми в коде "1 из N"	227
§ 4.2. Регистры и регистровые файлы.....	230
Регистровые файлы.....	232
Сдвигающие регистры.....	233
Универсальные регистры	234
§ 4.3. Основные сведения о счетчиках. Двоичные счетчики	237
Классификация и режимы работы счетчиков	237
Двоичные счетчики.....	238
Асинхронные счетчики.....	238
Синхронные счетчики.....	240
Счетчики с групповой структурой.....	242
§ 4.4. Двоично-кодированные счетчики с произвольным модулем.....	244
Счетчики с модифицированными межразрядными связями	245
Счетчики с управляемым сбросом	247
§ 4.5. Счетчики с недвоичным кодированием	248
Счетчики в коде Грея	249
Счетчики в коде "1 из N".....	251
Счетчики в коде "1 из N" на кольцевых регистрах.....	252
Счетчики в коде "1 из N" на основе счетчиков Джонсона	255
§ 4.6. Полиномиальные счетчики. Делители полиномов.....	258
Схемы генераторов псевдослучайных последовательностей.....	260
Кодеры и декодеры циклических кодов	262
Контрольные вопросы и упражнения	263

ГЛАВА 5. ЗАПОМИНАЮЩИЕ УСТРОЙСТВА.....267

§ 5.1. Основные сведения. Параметры. Классификация.....	267
Важнейшие параметры ЗУ	268
Классификация ЗУ	270
ЗУ типа ROM	272
ЗУ типа RAM	273
Классификация статических ЗУ	273
Классификация динамических ОЗУ	274
Классификация перспективных ЗУ	275
Модули памяти.....	276
§ 5.2. Основные структуры запоминающих устройств	277
Структура 2D.....	277
Структура 3D.....	277
Структура 2DM	280

Блочные структуры.....	281
Видеопамять.....	283
Буферы FIFO, LIFO, круговой.....	284
Кэш-память.....	287
Модели основной памяти и кэша.....	288
Полностью ассоциативная кэш-память.....	290
Кэш-память с прямым размещением.....	291
Кэш-память с частично-ассоциативным отображением.....	291
§ 5.3. Структурные методы повышения быстродействия запоминающих устройств.....	294
Быстрый страничный доступ.....	294
Пакетная передача данных и команд.....	295
Технологии DDR и QDR.....	295
Многобанковые структуры.....	296
Конвейеризация трактов передачи данных.....	296
§ 5.4. Запоминающие устройства ROM, PROM, EPROM, EEPROM.....	297
ROM.....	297
Масочные ROM.....	298
Лазерные ROM.....	299
PROM и EPROM-OTP.....	299
EPROM и EEPROM.....	301
МНОП-транзисторы.....	301
Транзисторы с плавающим затвором.....	303
Транзисторы с двумя затворами.....	303
EPROM.....	304
EPROM-OTP.....	304
EEPROM.....	304
Внешняя организация рабочих режимов для микросхем постоянной памяти.....	305
Пример схемы ЗУ типа EPROM.....	306
§ 5.5. Флэш-память.....	307
Основные разновидности.....	307
Накопители с ячейками ИЛИ-НЕ и И-НЕ.....	308
Накопители на ячейках ИЛИ-НЕ.....	308
Накопители на ячейках И-НЕ.....	309
Средства улучшения характеристик.....	310
Команды управления.....	311
Память с несимметричными блоками.....	312
Память с симметричными блоками (файловая).....	314
Память с многоуровневым хранением заряда.....	316
Память с зеркальным битом.....	317
Флэш-память с MLC-ячейками И-НЕ.....	318

§ 5.6. Последовательные репрограммируемые ЗУ	320
§ 5.7. Импульсное питание ROM	321
§ 5.8. Использование программируемых ЗУ для решения задач обработки информации	322
Реализация логических функций.....	322
Реализация конечных автоматов.....	323
Воспроизведение числовых функций.....	323
§ 5.9. Статические оперативные ЗУ	325
Структура асинхронного (стандартного) ЗУ	325
Запоминающие элементы.....	327
Запоминающий элемент в схемотехнике КМОП.....	327
Запоминающий элемент в схемотехнике n-МОП.....	327
Требования к усилителям считывания.....	328
Внешняя организация и временные диаграммы	329
Пример асинхронного ЗУ.....	331
Синхронные ЗУ	331
Структура синхронных ЗУ	333
§ 5.10. Искусственная энергонезависимость статических ОЗУ	334
Варианты с резервным источником питания	334
Память NV-SRAM	336
§ 5.11. Статические ЗУ типа БикМОП.....	337
§ 5.12. Динамические запоминающие устройства — базовая структура.....	338
Запоминающие элементы.....	338
Усилители-регенераторы	341
Мультиплексирование шины адреса.....	342
Внешняя организация и временные диаграммы.....	342
Схема динамического ЗУ.....	343
§ 5.13. Динамические запоминающие устройства повышенного быстродействия.....	346
FPM, EDORAM, BEDORAM	346
FPM.....	346
EDORAM	347
BEDORAM.....	348
SDRAM и DDR SDRAM	348
RDRAM.....	352
Состав микросхем памяти RDRAM	353
Структура канала.....	353
Связь канала с микросхемами и их совместная работа.....	354
CDRAM.....	356
Ускорение произвольного доступа	357
ЗУ с блочной структурой	357
RLDRAM	358
FCRAM.....	359

§ 5.14. Регенерация данных в динамических ЗУ	359
Рабочий режим	360
Переход к режиму регенерации.....	361
Режим регенерации.....	361
Квазистатические ЗУ	361
§ 5.15. Перспективные запоминающие устройства	362
FRAM (ферроэлектрические ЗУ).....	362
PFRAM (полимерно-ферроэлектрические ЗУ)	364
MRAM (магниторезистивные ЗУ).....	365
ЗУ типа OUM (с фазовыми переходами вещества).....	366
§ 5.16. Заключительные замечания	366
Контрольные вопросы и упражнения	368

ГЛАВА 6. ПРОСТЫЕ МИКРОПРОЦЕССОРЫ И МИКРОПРОЦЕССОРНЫЕ СИСТЕМЫ.

МИКРОКОНТРОЛЛЕРЫ	371
§ 6.1. Общие сведения. Структура и функционирование микропроцессорной системы	371
Структура простой МПС	373
Мультиплексирование шины адресов/данных	376
Принстонская и Гарвардская архитектуры процессоров	376
§ 6.2. Структура микропроцессора.....	378
Операционный блок.....	379
Блок регистров	380
Дешифрация команд	381
Блок синхронизации и управления	382
Исключения и прерывания	383
Блок управления прерываниями.....	384
§ 6.3. Функционирование микропроцессора.....	386
Синхронизация и последовательность действий МП	386
Адресные пространства, способы адресации, форматы команд	391
О системе команд.....	393
Пример выполнения команды и фрагмента программы.....	396
§ 6.4. О развитии микропроцессорной техники.....	399
CISC-процессоры	400
RISC-процессоры	400
VLIW-процессоры.....	400
Направления развития МП	400
§ 6.5. Управление памятью и внешними устройствами.....	402
Абсолютная и неабсолютная адресации	402
Интерфейсы с общей и раздельной шиной.....	402
Построение модуля памяти.....	403
Схемы подключения памяти к шинам МПС	404

Пример 1. Абсолютная адресация	404
Пример 2. Неабсолютная адресация	405
Пример 3. Декодирование адресов при совмещенном вводе/выводе	407
Выработка сигналов управления	408
Анализ нагрузочных условий	412
Согласование временных диаграмм МП и ЗУ	412
Разновидности операций ввода/вывода	415
Обмен по инициативе программы	415
Обмен по прерываниям	416
Прямой доступ к памяти	416
Безусловный программный ввод/вывод	416
Условный программный ввод/вывод	418
§ 6.6. Микроконтроллеры. Основные сведения	421
§ 6.7. Структура микроконтроллера	423
§ 6.8. Организация памяти и функционирование МК	427
Распределение памяти в МК AVR	427
Способы адресации	429
Выполнение команд	429
Режимы потребления мощности	430
Система прерываний	431
Программирование МК	431
Контрольные вопросы и упражнения	432
ГЛАВА 7. ИНТЕРФЕЙСНЫЕ СХЕМЫ, АДАПТЕРЫ, КОНТРОЛЛЕРЫ	435
§ 7.1. Общие сведения	435
Интерфейсы микропроцессорных систем	435
§ 7.2. Шинные формирователи и буферные регистры	438
Шинные формирователи	438
Буферные регистры	440
§ 7.3. Параллельные порты	441
§ 7.4. Параллельные адаптеры	443
Структура адаптера	444
Режимы работы портов	444
Режим 0	445
Режим 1	445
Режим 2	446
Работа адаптера в режиме 1	446
Работа адаптера в режиме 2	448
§ 7.5. Передачи последовательных данных	449
Тракты передачи последовательных данных	449
Характер передаваемой информации	450
Асинхронные и синхронные передачи	451
Структура кадра при последовательной асинхронной передаче	451

Работа приемника при асинхронных передачах	452
Фиксируемые ошибки передачи	453
Синхронные передачи	453
§ 7.6. Связные адаптеры	454
Передачик ПСА	456
Приемник ПСА	458
§ 7.7. Интерфейсы SPI и I ² C	462
Интерфейс SPI	462
Интерфейс I ² C	466
§ 7.8. Схемы обслуживания прерываний	467
Программный опрос	468
Аппаратный опрос источников прерываний	468
Контроллеры прерываний	469
Структура ПКП	471
§ 7.9. Контроллеры прямого доступа к памяти	475
Структура и функции КПД	476
Выводы и сигналы контроллера	480
Передачи "память-память"	481
Наращивание числа каналов ПДП	481
§ 7.10. Таймеры	482
Простые таймеры	482
Таймер 0	482
Таймер 1	484
Формирование ШИМ-сигналов	484
Сторожевой таймер	485
Программируемый интервальный таймер	486
Структура таймера	487
Режим 0	489
Режим 1	489
Режим 2	491
Режим 3	491
Режим 4	492
Режим 5	493
§ 7.11. Схемотехника интерфейса JTAG	493
Интерфейс JTAG и граничное сканирование	493
Ячейка BSC	495
Интерфейс JTAG	495
Транспортный механизм	496
Устройство управления граничным сканированием	496
Механизм граничного сканирования	497
Команды граничного сканирования	498
Расширения интерфейса JTAG	499
Контрольные вопросы и упражнения	501

ГЛАВА 8. SPLD и CPLD — ПРОСТЫЕ И СЛОЖНЫЕ ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ УСТРОЙСТВА	505
§ 8.1. Микросхемы с программируемой структурой. Вводные замечания.....	505
§ 8.2. Программируемые логические матрицы и программируемая матричная логика (ПЛМ и ПМЛ)	508
Структура ПЛМ.....	508
Упрощенное изображение схем ПЛМ	510
Воспроизведение скобочных форм логических функций	511
Схемотехника ПЛМ.....	511
Подготовка задачи к решению на ПЛМ	514
Структура ПМЛ.....	515
Обогащение функциональных возможностей ПЛМ и ПМЛ	516
Программирование выходных буферов.....	516
Применение двунаправленных выводов.....	518
Введение элементов памяти	519
Использование разделяемых конъюнкторов в схемах ПМЛ	520
Примеры отечественных ПМЛ	521
ПМЛ без элементов памяти	522
ПМЛ с элементами памяти.....	522
Пример подготовки задачи к решению с помощью ПМЛ.....	523
ПМЛ типа PAL 22V10	525
§ 8.3. CPLD — сложные программируемые логические устройства.....	528
Структура CPLD.....	528
Функциональные блоки CPLD	529
Логические расширители	530
Макроячейки.....	531
Системы коммутации CPLD	533
Блоки ввода/вывода CPLD.....	535
Пример типичной CPLD	536
Контрольные вопросы и упражнения	539
 ГЛАВА 9. FPGA — ПРОГРАММИРУЕМЫЕ ПОЛЬЗОВАТЕЛЯМИ ВЕНТИЛЬНЫЕ МАТРИЦЫ.....	 541
§ 9.1. Общие сведения	541
Свойства и возможности FPGA.....	541
Программируемые элементы	543
§ 9.2. Архитектура и основные блоки FPGA.....	546
Базовая архитектура.....	546
Усложненные архитектуры.....	547
Логические блоки	548
Системы межсоединений	554
Блоки ввода/вывода	560

§ 9.3. Ресурсы памяти	563
Распределенная память	563
Встроенная память	566
Применение встроенных блоков памяти	570
§ 9.4. Умножители и блоки ЦОС	572
Умножители	572
Основные операции обработки сигналов	574
Структура ЦОС-блока	578
§ 9.5. Программируемые аналоговые и аналого-цифровые схемы	582
Два варианта интегральных аналоговых схем	582
Практические разработки	585
§ 9.6. Способы оценки параметров ПЛИС	590
Оценки логической сложности ПЛИС	590
Оценки быстродействия	592
Факторы, влияющие на стоимость	593
§ 9.7. Конфигурирование программируемых микросхем	594
Режимы конфигурирования	594
Этапы конфигурирования	595
§ 9.8. Засекреченность проектов	596
Клонирование и реконструкция проектов	597
§ 9.9. Примеры типичных FPGA средней сложности	599
FPGA с триггерной памятью конфигурации	599
FPGA с программируемыми переключателями	601
Контрольные вопросы	604
ГЛАВА 10. ПРОГРАММИРУЕМЫЕ СИСТЕМЫ НА КРИСТАЛЛЕ	607
§ 10.1. Основные сведения	607
IP-ядра. Блочное и платформенное проектирование	608
Типы программируемых "систем на кристалле"	610
Soft-ядра процессоров	614
Hard-ядра процессоров	618
Шинные системы	621
§ 10.2. FPGA класса "система на кристалле"	622
Серия Stratix	622
Серия Virtex	626
Микросхемы с флэш-памятью конфигурации	630
§ 10.3. Системы на кристалле микроконтроллерного типа	632
Серия PSoC	633
Контрольные вопросы	639

ГЛАВА 11. МИКРОСХЕМЫ, ПРОГРАММИРУЕМЫЕ С УЧАСТИЕМ ИЗГОТОВИТЕЛЯ.....	641
§ 11.1. Базовые матричные кристаллы (вентильные матрицы, программируемые изготовителем).....	641
Основные сведения.....	641
Классификация БМК.....	643
Компонентный состав базовых ячеек.....	647
Основные понятия и определения.....	649
Параметры БМК.....	650
Этапы проектирования МАБИС.....	651
§ 11.2. Структурированные вентильные матрицы.....	653
Конвертация проектов.....	653
Практические разработки.....	654
Контрольные вопросы.....	657
 ГЛАВА 12. МЕТОДИКА И СРЕДСТВА АВТОМАТИЗИРОВАННОГО ПРОЕКТИРОВАНИЯ ЦИФРОВЫХ УСТРОЙСТВ.....	 659
§ 12.1. Общее описание процесса проектирования.....	659
§ 12.2. О выборе альтернативных средств реализации проекта.....	665
Традиционная реализация проектов.....	666
Реализация проектов на кристаллах с программируемыми структурами.....	667
Место программируемой логики в процессе создания современной аппаратуры.....	671
§ 12.3. Инструментарий проектировщика.....	673
Средства системного этапа проектирования.....	674
Разработка специфических фрагментов проекта.....	675
Средства разработки процессорной части проекта.....	676
Средства разработки цифровой части проекта.....	678
Средства разработки аналоговых и аналого-цифровых фрагментов.....	681
Работа и средства этапа комплексной отладки проекта.....	681
Специфика конструирования и отладки проектов на ПЛИС и СнПК.....	682
§ 12.4. Системный этап проектирования цифровых устройств на базе ПЛИС.....	683
Выбор САПР.....	684
Представление проекта на блочно-функциональном уровне.....	684
Средства описания проекта.....	686
Графическое представление проекта.....	686
Текстовое описание.....	687
Языки низкого уровня.....	687
Языки высокого уровня.....	688
Средства описания автоматов.....	688

§ 12.5. Маршрут проектирования ПЛИС и возможности типовых САПР	690
Этапы проектных процедур с использованием САПР	690
§ 12.6. Основные сведения о языке VHDL	694
Назначение и возможности языка	694
Основные понятия и синтаксические конструкции языка	695
Описание проекта на языке VHDL	698
Примеры описаний элементов на языке VHDL	698
Структурное и поведенческое описание проекта	701
Язык VHDL для моделирования и синтеза	701
О возможностях и средствах описания типовых узлов цифровой техники	702
Введение в язык VHDL-AMS	727
§ 12.7. Пример автоматизированного проектирования цифрового устройства с использованием языков описания аппаратуры	737
Первый этап. Рассмотрение ТЗ на разрабатываемое устройство	737
Второй этап. Разработка общей структуры операционного блока	738
Третий этап. Описание работы управляющего автомата	740
Пояснения к синтаксису VHDL программы устройства управления	742
Четвертый этап. Компиляция проекта и основные параметры устройства	746
Пятый этап. Тестирование проекта	746
Шестой этап. Автоматическое определение временных характеристик устройства	748
Седьмой этап. Практическое использование результатов проектирования	748
Контрольные вопросы и упражнения	748
ПРИЛОЖЕНИЕ. ОСНОВНЫЕ ЛОГИЧЕСКИЕ ОПЕРАЦИИ И ЗАКОНЫ	755
Контрольные вопросы и упражнения	758
СЛОВАРЬ ИНОСТРАННЫХ СОКРАЩЕНИЙ И ТЕРМИНОВ	761
ПРИНЯТЫЕ СОКРАЩЕНИЯ	769
ЛИТЕРАТУРА И ИСТОЧНИКИ ИНФОРМАЦИИ В ИНТЕРНЕТЕ	775
Краткая библиография	775
Интернет-ресурсы	779
ПРЕДМЕТНЫЙ УКАЗАТЕЛЬ	781

Предисловие

Интересы России требуют преодоления сложившегося в последнее время однобокого развития экономики с акцентом на сырьевые отрасли производства. Неотъемлемой чертой развитых государств является способность к разработке и производству высокотехнологичных изделий, среди которых ведущее место занимает электронная аппаратура. Успехи электроники в значительной мере определяют прогресс промышленности и науки. Современная промышленная продукция, будь то автомобиль, самолет, корабль, станок для металлообработки, изделие бытовой техники и т. д. насыщена электроникой. Трудно переоценить роль компьютеров во всех сферах жизни.

По вопросам актуальности разработок в России электронной аппаратуры имеется ряд весьма определенных мнений (академик Е. П. Велихов, лауреат Нобелевской премии академик Ж. И. Алферов и др.). Приведем некоторые из них.

Академик Ж. И. Алферов пишет (газета "Известия", 15 марта 2001 г.):

"Важно заниматься научными и технологическими исследованиями в области электроники, потому что именно она определяет технологический и даже социальный прогресс... Без собственных современных электронных технологий любые наши другие (те же космические) быстро перейдут во второсортные... Сейчас у нас два пути — либо становиться страной третьего мира, живущей за счет ресурсов, либо развивать наукоемкие отрасли".

Начальник Управления радиоэлектронной промышленности и систем управления Роспрома Ю. И. Борисов в статье "Отечественная электронная промышленность и компонентная база" (журнал "Электроника: Наука, Технология, Бизнес", № 2/2006) пишет:

"Если мы хотим создавать передовую военную технику и обеспечить технологическую независимость и информационную безопасность всех наших электронных систем, в том числе и гражданских, ключевые изделия микроэлектроники необходимо проектировать и производить в России".

В том же номере журнала в статье главного редактора П. П. Мальцева сказано:

"Способность российских предприятий разрабатывать, производить и обеспечивать современной электронной компонентной базой и радиоэлектронной аппаратурой отечественную продукцию радиоэлектронного комплекса является одним из критических условий, обеспечивающих национальную безопасность России в информационную эпоху и решающим фактором социально-экономического развития страны".

Отставание от мировой техники в области микроэлектроники возникло еще в СССР. Российский кризис 90-х годов сделал это отставание чрезвычайно сильным. Сегодняшний день, как можно надеяться, явится началом преодоления кризиса. Непременное условие выхода из кризиса — подготовка квалифицированных кадров, способных разрабатывать проекты с помощью современных методов и средств. В уже цитированном журнале ("Электроника: Наука, Технология, Бизнес", № 4/2006) председатель Федерального фонда развития электронной техники А. И. Сухопаров пишет:

"Пока есть специалисты, умеющие проектировать, мы никогда не отстанем "на-всегда"".

В связи с ростом интереса к проблемам разработки электронной аппаратуры увеличивается и потребность в соответствующей учебной литературе. Первое и второе издания предлагаемого учебного пособия (2000 и 2004 гг.) получили широкое признание преподавателей и студентов и используются во многих вузах при изучении соответствующих дисциплин. В третьем издании обновлены методика изложения и содержание многих разделов, особенно тех, которые посвящены новым направлениям развития компонентной базы цифровой техники (программируемая логика, особо быстродействующие устройства и др.). Как и ранее, рассмотрен широкий круг вопросов, связанных с изучением и применением современной компонентной базы цифровой техники. Кроме того, третье издание снабжено контрольными вопросами и упражнениями, которые отсутствовали в предыдущих изданиях.

Пособие предназначено для студентов вузов, обучающихся по специальности 220100 (Вычислительные машины, комплексы, системы и сети) и направлению 552800 (Информатика и вычислительная техника). Поскольку средства цифровой техники разного назначения (микропроцессорные системы, связь, сети и т. д.) во многом строятся на идентичной компонентной базе, пособие может быть полезно и для студентов других специальностей и направлений, связанных с использованием и разработкой цифровых средств обработки информации. Оно может быть полезно также для работников промышленности и научных учреждений.

Содержание пособия основано на материале курса лекций, читаемого на кафедре "Вычислительная техника" Санкт-Петербургского государственного электротехнического университета "ЛЭТИ".

В работе над книгой участвовал к. т. н., доц. Р. И. Грушвицкий, которым написана глава 12 (§ 12.2 совместно с автором) и § 7.10 (совместно с автором).

Авторы благодарят рецензентов за ряд ценных замечаний, способствовавших улучшению книги.

Введение

Компонентную базу цифровых устройств и систем составляют *микросхемы* (МС). Со времени их изобретения (США, 1959 г.) микросхемы постоянно совершенствуются и усложняются, подчиняясь так называемому *закону Мура*. Гордон Мур (один из основателей известной фирмы Intel) заметил, что уровень интеграции МС удваивается каждые 1,5 — 2 года (уровень интеграции является характеристикой сложности МС и оценивается числом базовых логических элементов или транзисторов, размещенных на кристалле). Закон Мура соблюдается уже более тридцати лет. Что же движет этот процесс? *С ростом уровня интеграции МС существенно улучшаются характеристики устройств и систем, реализованных на их основе* (снижается стоимость/ватт, повышаются быстродействие и надежность, уменьшаются габариты и потребляемая мощность, упрощаются конструкции и т. д.).

Различия в уровне интеграции делят МС на несколько категорий: *МИС, СИС, БИС, СБИС* (соответственно малые, средние, большие и сверхбольшие интегральные схемы). МИС выполняют простейшие логические преобразования, в виде СИС выпускаются малоразрядные функциональные узлы (регистры, счетчики, дешифраторы, сумматоры и т. п.), в БИС и СБИС размещаются схемы с тысячами, миллионами и более логических элементов (сейчас уже можно разместить на кристалле несколько миллиардов транзисторов). Практическое использование в той или иной мере находят все категории, однако с течением времени все большую долю используемых микросхем составляют схемы высокого уровня интеграции.

Современные МС высокого уровня интеграции чрезвычайно сложны в проектировании и производстве. Разработка СБИС может занимать годы, требует изготовления около 40 фотошаблонов стоимостью приблизительно 50 или 250 тыс. долларов каждый (в технологиях с минимальными размерами 90 нм и 45 нм соответственно) и выполнения ряда других этапов с применением высокотехнологичного оборудования, причем общая стоимость всех работ превышает величины порядка десятков миллионов долларов. Поэтому *заказные БИС/СБИС* могут применяться лишь для продукции массового применения, когда затраты на проектирование раскладываются на большое число выпускаемых кристаллов и могут окупаться.

Снижения сроков и стоимости проектирования БИС/СБИС можно достичь, применяя так называемые *полузаказные МС*. В этом случае промышленность выпускает некоторые полуфабрикаты, пригодные для реализации на их основе различных устройств, а для получения законченного изделия (*специализации кристалла*) полуфабрикат дорабатывается по требованиям конкретного заказчика. Полуфабрикат выпускается массовыми тиражами, а потребитель платит только за его доработку

до конечного изделия. Длительность и стоимость проектирования полузаказных МС в 3 — 4 раза меньше, чем заказных, но все же остаются настолько большими, что для малотиражной аппаратуры могут быть недоступными.

Возможность применения БИС/СБИС для реализации проектов широким кругом разработчиков была найдена на пути *переноса процесса специализации микросхем в область программирования*. Появились микропроцессоры и, позднее, БИС/СБИС с программируемой структурой.

Микропроцессор способен выполнять определенный набор команд. Меняя последовательность и состав команд (программу), можно решать различные задачи на одном и том же микропроцессоре. Иначе говоря, в этом случае структура аппаратных средств не связана с характером решаемой задачи. Будучи стандартным для производителя, микропроцессор настраивается программой на решение разных задач. Это обеспечивает микропроцессорам массовое производство с соответствующим снижением стоимости и делает их доступными для широкого круга потребителей.

В виде БИС/СБИС *с программируемой структурой* потребителю предлагается кристалл, содержащий множество элементов, межсоединения для которых назначает сам системотехник. Промышленность получает возможность производить кристаллы массовым тиражом, не адресуясь к отдельным потребителям. Реализация конкретного варианта межсоединений элементов может возлагаться на изготовителя (для полузаказных кристаллов) или потребителя (для ПЛИС и ПАИС — *программируемых логических и аналоговых интегральных схем*). Работая с ПЛИС и ПАИС, системотехник сам программирует структуру МС соответственно своему проекту и не обращается для этого на предприятия электронной промышленности для выполнения сложных и дорогостоящих технологических процессов. В то же время дополнительные схемотехнические средства для программирования структуры кристалла усложняют и удорожают его. Тем не менее, *ПЛИС и ПАИС открывают доступ к применению БИС/СБИС тем многочисленным разработчикам, которые создают аппаратуру ограниченной тиражности, в первую очередь ту, от которой требуется высокая производительность*.

Микропроцессоры реализуют последовательную обработку информации, выполняя большое число отдельных действий, соответствующих командам, что может не обеспечить требуемого быстродействия. При аппаратных реализациях алгоритмов обработка информации может происходить без разбиения этого процесса на последовательно выполняемые элементарные действия. Задача может решаться "целиком", ее характер определяет структуру устройства. Преобразование данных происходит одновременно во многих частях устройства. Сложность устройства зависит от сложности решаемой задачи, чего нет в микропроцессорных системах, где сложность задачи влияет лишь на программу, а не на аппаратные средства ее выполнения.

Таким образом, БИС/СБИС с аппаратной реализацией алгоритмов могут быстрее решать задачи, сложность которых ограничена уровнем интеграции микросхем, а микропроцессорные средства — задачи неограниченной сложности, но с меньшим быстродействием. Оба направления открывают ценные перспективы дальнейшего

улучшения технико-экономических показателей создаваемой на них аппаратуры. В БИС/СБИС с программируемой структурой могут быть выполнены как системы с микропроцессором, так и аппаратные варианты решения задачи. Более того, современные кристаллы высшего уровня интеграции содержат *одновременно и микропроцессоры и большие массивы программируемой логики*, обладая в силу этого большими функциональными возможностями. Подобная структура свойственна микросхемам класса *"система на кристалле"*, важная роль которых в проектировании современной аппаратуры неоспорима.

С ростом уровня интеграции ИС в проектировании на их основе все больше усиливается аспект, который можно назвать интерфейсным проектированием. Задачей разработки становится составление блоков из все более сложных стандартных субблоков путем правильного их соединения. Успешное проектирование требует хорошего знания номенклатуры и параметров МС и привлечения систем автоматизированного проектирования (САПР). Типовые базовые функциональные компоненты, из которых составляются сложные устройства, в ходе развития микроэлектроники остаются почти неизменными, но формы их представления становятся более разнообразными. Если ранее такие компоненты были отдельными кристаллами МИС/СИС, то теперь они чаще представляются в виде фрагментов более сложных схем, не имеющих индивидуального конструктивного оформления и задаваемых файлами, содержащими информацию о том, как реализовать тот или иной компонент в некоторой области кристалла. Набор таких сведений образует *библиотеку функциональных компонентов системы проектирования*.

подавляющее большинство современных МС изготавливаются по схемотехнологии КМОП. Некоторое число микросхем или схемных фрагментов кристалла реализуются по биполярной технологии (ТТЛШ, ЭСЛ). Элементы КМОП при субмикронных топологических нормах обладают рядом уникальных параметров и доминируют в схемах внутренних областей БИС/СБИС. За биполярной технологией осталась пока область некоторых периферийных схем, где требуется быстрая передача сигналов по внешним цепям, испытывающим большую емкостную нагрузку.

При работе над учебным пособием автор стремился учесть современную ситуацию в высшей школе — наличие двухуровневой подготовки "бакалавр — магистр" и сквозной подготовки специалистов (инженеров). Структурирование текста пособия позволяет варьировать глубину изучения материалов согласно необходимому уровню. Изучение тем начинается с рассмотрения общей постановки вопроса, выяснения характера и содержания проблем, связанных с темой, и способов их решения, а затем продолжается на более подробном уровне с привлечением дополнительных сведений и примеров.

Структурно рукопись построена по следующему плану:

- Общие основы цифровой схемотехники. Логические элементы и сигналы, а также их параметры. Методы и средства решения задач взаимодействия компонентов и сигналов в составе системы, позволяющие понимать и предлагать грамотные схемотехнические решения.

- Функциональные узлы. Типовые функциональные узлы комбинационного типа (не содержащие элементов памяти). Элементы памяти (триггеры). Проблемы тактирования и синхронизации в цифровых устройствах, играющие ключевую роль при разработке устройств высокого быстродействия. Типовые функциональные узлы последовательностного типа (содержащие элементы памяти).
- Функциональные устройства и простые микропроцессорные системы. Запоминающие устройства (широкий набор возможных реализаций). Интерфейсные схемы, адаптеры и контроллеры. Простые процессоры, микропроцессорные системы, микроконтроллеры, т. е. типовые композиции устройств, обеспечивающие решение задач программными методами и иллюстрирующие взаимодействие модулей системы и требования к их функционированию. Этот раздел посвящен изучению цифровой техники на более высоком иерархическом уровне, чем уровень узлов.
- Программируемые средства создания цифровой техники. Простые и сложные программируемые логические устройства (SPLD, CPLD). Программируемые пользователями вентильные матрицы (FPGA). Системы на кристалле. Микросхемы, программируемые с участием изготовителя (базовые матричные кристаллы, структурированные вентильные матрицы, гибридные схемы ASIC + FPGA).
- Методы и средства автоматизированного проектирования цифровых устройств. Инструментарий проектировщика (средства разработки для выполнения различных этапов проекта). Основные сведения о языках описания аппаратуры. Язык VHDL и VHDL-AMS. Пример автоматизированного проектирования цифрового устройства с использованием языка VHDL.
- Заключение. Итоговый обзор возможных вариантов реализации цифровых устройств на основе различных средств компонентной базы и методов проектирования.

ГЛАВА 1

Схемотехнические проблемы построения цифровых устройств

При разработке цифровых устройств (ЦУ) приходится решать не только задачи логического синтеза структур, но и схемотехнические задачи общего характера, не зависящие от реализуемого алгоритма и логики функционирования схем. К таким задачам относятся, например, подавление помех, передача данных по линиям связей, обеспечение требуемых режимов входов и выходов элементов, генерация и распределение тактовых сигналов и т. п. Подобным задачам и посвящена эта глава, изучение которой призвано повысить общую схемотехническую грамотность читателя и подготовить его к пониманию схемных решений, характерных для цифровых устройств.

§ 1.1. Модели и параметры логических элементов

Простейшая модель логического элемента

Даже самые сложные преобразования цифровой информации, в конечном счете, сводятся к простейшим операциям над логическими переменными 0 и 1. Такие операции реализуются логическими элементами в соответствии с формулами алгебры логики. Предельно идеализированные логические элементы могут быть представлены моделями вида (рис. 1.1, а), т. е. условными графическими обозначениями — прямоугольниками, в которых ставится символ выполняемой операции (на рисунке операция обозначена символом "звездочка"), а на линиях входных и выходных переменных изображаются кружки (индикаторы инверсии), если данная переменная входит в реализуемую формулу в инверсном виде.

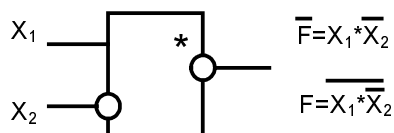


Рис. 1.1. Обозначение предельно идеализированного логического элемента

Логические функции могут быть выражены с помощью разных логических операций. Булевский базис (набор операций И, ИЛИ, НЕ) удобен своей наглядностью и легче всего воспринимается человеком, поэтому широко используется для исходного описания логических зависимостей. Операции И-НЕ (Шеффера) и ИЛИ-НЕ (Пирса) — основные "рабочие" базисы, поскольку их схемные реализации, как правило, оказываются наиболее выигрышными. К широко применяемым операциям относится и сложение по модулю 2, т. к. некоторые логические преобразования эффективнее всего выполняются именно в этом базисе.

ПРИМЕЧАНИЕ

Логические и арифметические основы цифровой техники предполагаются известными читателю. Материалы, кратко напоминающие о функциях и логических законах, чаще всего используемых при проектировании ЦУ, даны в *приложении 1*.

Сигналы, отображающие логические переменные

В цифровых устройствах логические переменные 0 и 1 обычно отображаются двумя различными уровнями напряжения: U_0 и U_1 соответственно (наряду с обозначениями U_1 и U_0 могут быть использованы и обозначения высокого и низкого уровней напряжения соответственно как H (*High*) и L (*Low*)).

Переход от логических переменных к электрическим сигналам ставит вопрос о *логических соглашениях*. Необходимо условиться, какой из двух уровней напряжения принять за U_0 и какой за U_1 . Существуют соглашения положительной и отрицательной логики. В положительной логике $U_1 > U_0$, а в отрицательной $U_1 < U_0$. Один и тот же элемент, в зависимости от принятого логического соглашения, выполняет различные логические операции. В дальнейшем, если не оговорено иное, *будем пользоваться соглашением положительной логики*.

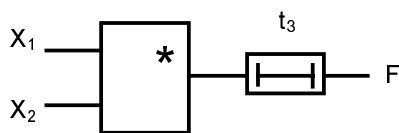
Пользуясь алфавитом всего из двух символов $\{0, 1\}$, нельзя точно описать форму сигнала, так как эти символы позволяют отображать только идеально прямоугольные импульсы. Реальные сигналы имеют форму, которая с приемлемой для большинства приложений точностью аппроксимируется трапециями. Для трапецидальных сигналов на интервалах *переходных процессов* при переключениях в направлениях $0 \rightarrow 1$ и $1 \rightarrow 0$ логические значения сигналов не определены, и эти интервалы отмечаются *символами неопределенности* X , что дает трехсимвольный алфавит $\{0, 1, X\}$, на котором основано *троичное моделирование*, выявляющее критические временные состязания сигналов при допущении об их произвольных задержках. Для учета реального диапазона изменений задержек разработаны *модифицированные методы* троичного моделирования.

Добавление символа Z , отображающего присущий некоторым элементам режим "*отключено*", приводит к четырехсимвольному алфавиту $\{0, 1, X, Z\}$. Вводя понятие *силы сигнала* и др. его признаки, расширяют алфавит и далее (в частности, в ряде систем моделирования применяют девятисимвольный алфавит). Расширение алфавита при описании сигналов позволяет приближать модельное описание процессов в цифровых схемах к реальным, но существенно увеличивает время

моделирования и объем проводимых в его ходе вычислений. Поэтому в системах моделирования на разных этапах работы могут применяться модели сигналов разной сложности — простые для быстрого неточного первоначального моделирования и более сложные для более адекватного описания процессов в схемах.

Учет задержек сигналов в логических схемах

Быстродействие и работоспособность ЦУ зависят от задержек сигналов в элементах и связях между ними. По мере уменьшения топологических норм роль задержек в связях все более возрастает и в современных БИС/СБИС они составляют 70...80% общей задержки. Длительность переключения элемента и распространения сигнала по линии связи отображается введением в выходную цепь элемента задержки на время t_3 (рис. 1.2). В простейшем случае задержка принимается постоянной, но такая модель является очень грубой, поскольку реальная задержка существенно зависит от целого ряда факторов: емкостных нагрузок на выходах элементов, крутизны фронтов их входных напряжений, напряжения питания, температуры, технологического разброса задержек, их зависимости от направления переключения элемента и т. д.



1. $t_3 = \text{const}$,
2. $t_3 = f(C_L, t_{BX}, U_{CC}$ и т. д.)

Рис. 1.2. Модели логического элемента с задержкой

Перечисленные факторы могут сильно изменять величину задержки. В частности, для элементов КМОП резко выражена зависимость задержки от емкостной нагрузки. Уточненные отображения динамических свойств элементов учитывают также их *фильтрующие свойства*, благодаря которым короткие входные импульсы, обладающие малой энергией, не способны вызвать переключение элемента, даже если их амплитуда велика.

Точный расчет переходных процессов в реальных цепях весьма сложен, поэтому приходится прибегать к упрощениям, что вносит погрешности в вычисление задержек сигналов. В то же время правильная оценка задержек остро необходима, особенно при проектировании современных схем высокого быстродействия. Многие специалисты считают расчет и обеспечение надлежащих временных соотношений между сигналами (*Timing*) *важнейшей проблемой проектирования быстродействующих цифровых устройств* ("Timing is everything in SoC Design", SoC — System on Chip).

Задержки вычисляют разными способами: с помощью таблиц при учете влияющих на задержки факторов (емкостных нагрузок, крутизны фронтов входных сигналов и др.), путем описания задержек как функций от влияющих на них факторов или с помощью нелинейных моделей.

Применение таблиц дает хорошую точность, но требует больших затрат памяти. Как правило, применяют двухвходовые таблицы, в которых задержка элемента считывается из таблицы по вычисленному для данного элемента крутизне входного сигнала и емкостной нагрузке на его выходе.

Примером второго метода (используется в САПР фирмы Synopsis) может служить вычисление задержки по выражению:

$$t_3 = \alpha \tau_{in} + \beta C_L + \gamma \tau_{in} C_L + \delta,$$

где C_L — емкостная нагрузка на выходе элемента, τ_{in} — длительность фронта входного сигнала, характеризующая его крутизну, а α , β , γ , δ — постоянные коэффициенты, зависящие от схемотехнологических параметров элемента. В сущности, такое формульное представление задержек аппроксимирует таблицу их значений и является более компактным, чем таблица. В некоторых системах проектирования применяют более простое выражение, в котором пренебрегают влиянием крутизны фронта входного сигнала на величину задержки и ограничиваются соотношением:

$$t_3 = k_1 C_L + k_2,$$

где k_1 и k_2 — постоянные коэффициенты.

Грубые модели с фиксированными значениями задержек полезны не столько для окончательных расчетов, сколько для обозначения проблем, возникающих в схемах из-за задержек сигналов.

Статические параметры логических элементов

Для правильного проектирования и эксплуатации цифровых устройств необходимо знать статические и динамические параметры логических элементов. В качестве важнейших статических параметров приводятся пять значений напряжений и пять значений токов.

Уровни напряжений и статическая помехоустойчивость логических элементов

В числе *напряжений* указывается напряжение питания U_{cc} (величина и поле допуска) и четыре значения напряжений задающих границы зон для переменных (0 и 1) на выходе и входе элемента. Для надежной работы элемента требуется, чтобы поступающие на его вход напряжения, соответствующие логической 1 и логическому 0, четко отличались друг от друга, т. е. чтобы напряжение U_1 было достаточно высоким, а напряжение U_0 достаточно низким. Эти требования задаются параметрами $U_{вх.1.min}$ и $U_{вх.0.max}$.

Входные напряжения данного элемента есть выходные напряжения предыдущего (источника сигналов). Уровни, гарантируемые на выходе элемента при соблюдении допустимых нагрузочных условий, задаются параметрами $U_{\text{вых.1.min}}$ и $U_{\text{вых.0.max}}$. Выходные уровни несколько "лучше", чем требуемые входные, что обеспечивает определенную помехоустойчивость элемента (рис. 1.3).

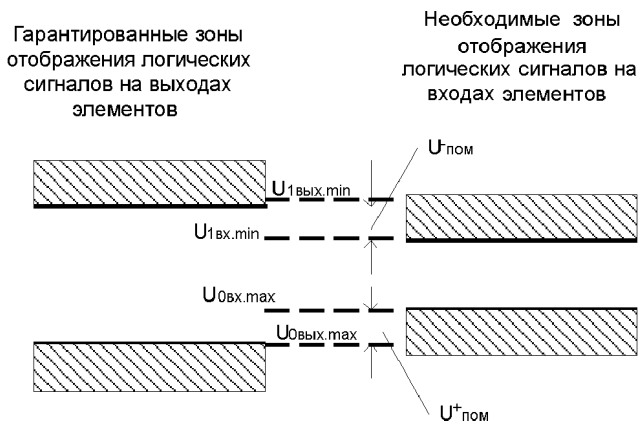


Рис. 1.3. Зоны отображения сигналов на входах и выходах логических элементов

Для уровня U_1 опасны отрицательные помехи, снижающие его, причем допустимая статическая помеха (т. е. помеха любой длительности)

$$U_{\text{пом}}^- = U_{1\text{вых.min}} - U_{1\text{вх.min}}$$

Для уровня U_0 опасны положительные помехи, причем допустимая статическая помеха

$$U_{\text{пом}}^+ = U_{0\text{вх.max}} - U_{0\text{вых.max}}$$

Токовые параметры

Для *токов* в первую очередь указывается ток потребления, который нужен и для определения потребляемой элементом мощности, рассчитываемой как произведение напряжения питания элемента на потребляемый им ток.

Указываются и еще четыре значения — входные и выходные токи в обоих логических состояниях. При высоком уровне выходного напряжения из элемента-источника ток вытекает, цепи нагрузки ток поглощают. При низком уровне выходного напряжения элемента-источника ток нагрузки втекает в этот элемент, а из входных цепей элементов-приемников токи вытекают. Зная токи $I_{\text{вых.1.max}}$ и $I_{\text{вых.0.max}}$, характеризующие возможности элемента-источника сигнала, и токи $I_{\text{вх.1.max}}$ и $I_{\text{вх.0.max}}$, потребляемые элементами-приемниками, можно контролировать соблюдение нагрузочных ограничений, обязательное для всех элементов схемы ЦУ.

Для элементов ТТЛШ характерно большое различие между токами нулевых и единичных состояний. Ток $I_{\text{вх.1}}$ намного меньше тока $I_{\text{вх.0}}$ (приблизительно на порядок), а ток $I_{\text{вых.1.max}}$ меньше тока $I_{\text{вых.0.max}}$ приблизительно в 20 раз. Токи элементов КМОП такой несимметрии не имеют. Оба статических входных тока у них находятся в микроамперном диапазоне (или еще меньше), выходные токи могут составлять десятки миллиампер. Их роль состоит в перезаряде емкостей при переключениях элемента.

Быстродействие цифровых элементов

Быстродействие цифровых элементов определяется скоростями их перехода из одного состояния в другое. Быстродействие схем ограничивается задержками сигналов как в элементах, так и в цепях их межсоединений.

Переходные процессы для элемента с инвертирующим выходом (НЕ, И-НЕ, ИЛИ-НЕ) изображены на рис. 1.4. Их этапы отсчитываются по так называемым измерительным уровням. Моментом изменения логического значения сигнала считают момент достижения им *порогового уровня*. Обычно за пороговый уровень принимают середину логического перепада сигнала, т. е. $(U_0 + U_1)/2$. На диаграммах показаны задержки сигнала t^{10} и t^{01} при изменении выходного напряжения от U_1 до U_0 и обратно. Для упрощения расчетов пользуются *усредненным значением задержки* распространения сигнала

$$t_3 = (t^{10} + t^{01})/2.$$

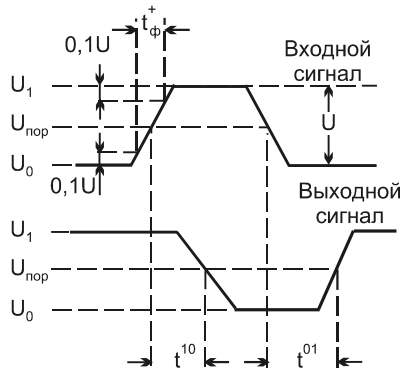


Рис. 1.4. Временные диаграммы процессов переключения инвертирующего логического элемента

Приемлемость такого усреднения усиливается тем, что в последовательных цепочках наиболее употребляемых инвертирующих элементов (И-НЕ, ИЛИ-НЕ) соседние элементы переключаются в противоположных направлениях, так что задержка пары элементов на самом деле будет равна $2t_3$.

Следует обратить внимание на то, что усреднение согласно приведенному соотношению не относится к технологическому разбросу задержек. Также следует за-